

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152508

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 25/065  
25/07  
25/18

識別記号

庁内整理番号

F I

技術表示箇所

7220-4M

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号

特願平3-335977

(22)出願日

平成3年(1991)11月27日

(71)出願人

000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

松永 孝子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人

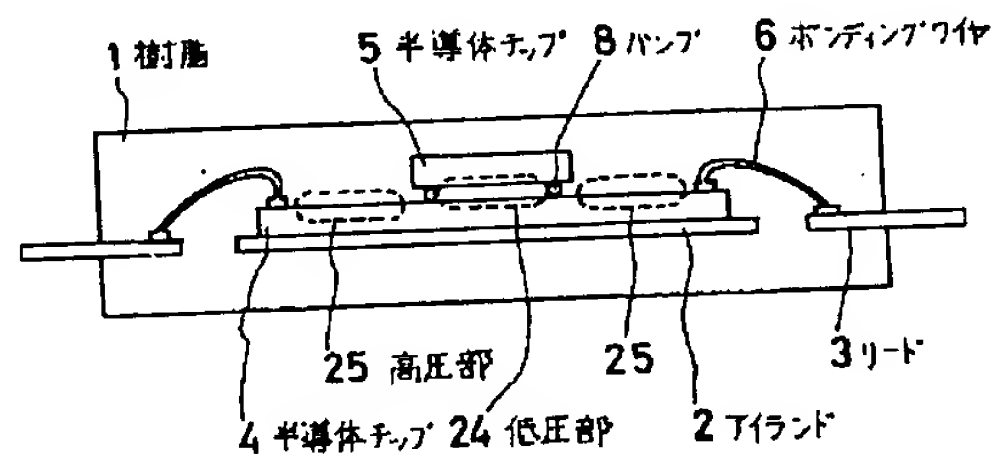
弁理士 鈴木 章夫

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体チップを封止する樹脂に蓄積される電荷によって、素子低圧部における反転が生じ、これが原因とされるリーク等の基本動作異常を防止して信頼性の高い半導体装置を得る。

【構成】 樹脂1で封止する半導体チップ4に設けた低圧部24を覆うように別の半導体チップ5を搭載し、各半導体チップ4、5の導電層(サブストレータ9等)で低圧部24を包囲する。このため、低圧部24は導電層9によって樹脂1とは電氣的に遮蔽され、樹脂1に電荷が蓄積された場合でも、低圧部24における反転及びリークが防止される。



## 【特許請求の範囲】

【請求項1】 高圧部と低圧部の素子を表面に形成した半導体チップを樹脂封止してなる半導体装置において、一の半導体チップ上に少なくとも前記低圧部を覆うように別の半導体チップを搭載し、前記低圧部を各半導体チップの各導電層で包囲するように構成したことを特徴とする半導体装置。

【請求項2】 別の半導体チップは素子形成面を前記一の半導体チップの素子形成面に対向させ、バンプ電極によって相互に電気接続してなる請求項1の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置に関し、特に高圧部と低圧部とを持ち樹脂封止される半導体装置に関する。

## 【0002】

【従来の技術】高圧部と低圧部とをもつ樹脂封止型の半導体装置の一例を図4乃至図6に示す。図4は断面図、図5はその一部の拡大図、図6は平面構成図である。これらの図に示すように、アイランド2上に半導体チップ4をマウントし、ボンディングワイヤ6によってリード3と接続している。その上で、全体を樹脂1で封止している。このとき、半導体チップ4は素子形成を行わないチップ裏面側をアイランド2にマウントし、素子形成を行うチップ表面を樹脂1と接している。素子は中央領域に設けた低圧部24と、その周囲に設けた高圧部25とで構成される。

【0003】アイランド2及び半導体チップ4の素子形成領域は、図5のように、フィールド酸化膜15で画成されたP<sup>-</sup>サブストレータ9内にNウェル領域10を形成し、イオン注入或いは拡散によってP<sup>+</sup>ガードリング領域11、N<sup>+</sup>ガードリング領域12、P<sup>+</sup>領域13、N<sup>+</sup>領域14等を形成している。これにポリシリコンゲート電極16、酸化膜19及びアルミニウム電極17を設けてPchMOS、NchMOSを形成し、CMOS構造を実現している。このチップ表面はカバー用絶縁膜20で覆われて樹脂1と接し、チップ裏面はP<sup>-</sup>サブストレータ9がアイランド2にマウントされて、アイランド2が樹脂1と接している。

## 【0004】

【発明が解決しようとする課題】この従来の半導体装置では、低圧部24は1～10V程度の低い電圧範囲で動作するが、高圧部25には10～300V程度の電圧が印加される。このため、半導体の実使用時には、リード3及びボンディングワイヤ6に高電圧がかかることになる。図6に示すように、半導体チップ4は外周部を多数のボンディングワイヤ6でとり囲まれているため、ボンディングワイヤ6及びリード3にプラスの高電圧が印加されると、強電界によりモールド用の樹脂1内の可動イオンの移動や分極により、ボンディングワイヤ6から遠い半導

体チップ4の中央部で素子形成領域と接する樹脂1面にプラスの電荷がたまる。このプラス電荷から伸びる電気力線はフィールド酸化膜15下のP<sup>+</sup>ガードリング領域11を反転させる。

【0005】又、ボンディングワイヤ6及びリード3にマイナスの高電圧が印加されると、逆にフィールド酸化膜15下のN<sup>+</sup>ガードリング領域12が反転する。この現象は高圧印加を考慮されていない上、レイアウト上チップ中央部に配置されることの多い低圧部24において特に顕著であり、この反転により発生するリーク電流は印加電圧が高く、印加時間が長い程増加し、高温、高電圧印加による信頼性評価結果によれば4時間程度の電圧印加で10<sup>3</sup>～10<sup>7</sup>倍にも増加し、半導体装置の基本動作異常となり、信頼性を著しく低下させる原因となっている。本発明の目的は、このような基本動作異常を防止して信頼性の高い半導体装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明の半導体装置は、樹脂封止する半導体チップに設けた低圧部を覆うように別の半導体チップを搭載し、各半導体チップの導電層で低圧部を包囲するように構成する。例えば、別の半導体チップは素子形成面を一の半導体チップの素子形成面に対向させ、バンプ電極によって相互に電気接続する。

## 【0007】

【作用】低圧部は両半導体チップの導電層によって包囲されるため、樹脂とは電氣的に遮蔽された状態となり、樹脂に蓄積される電荷による影響を解消する。

## 【0008】

【実施例】次に、本発明について図面を参照して説明する。図1は本発明の一実施例の断面図、図2はその要部の拡大断面図、図3は全体平面図である。アイランド2上に半導体チップ4をマウントし、ボンディングワイヤ6によってリード3と接続し、素子形成を行わないチップ裏面側をアイランド2に接している。又、半導体チップ4には高圧用素子を形成した高圧部25と、低圧用素子を形成した低圧部24が形成されるが、この低圧部24はチップの中央部分に形成される。そして、半導体チップ4よりも小さく形成された他の半導体チップ5を表面を下向きにして半導体チップ4の低圧部24の上に載せ、素子形成を行うチップ表面部に設けたバンプ電極8によって、半導体チップ4の表面部の電極と接着させている。その上で、全体を樹脂1で封止している。

【0009】図2に示すように、半導体装置チップ4及び5のいずれも、フィールド酸化膜15で画成された素子領域のP<sup>-</sup>サブストレータ9内にNウェル領域10を形成し、イオン注入或いは拡散によってP<sup>+</sup>ガードリング領域11、N<sup>+</sup>ガードリング領域12、P<sup>+</sup>領域13、N<sup>+</sup>領域14等を形成している。これにポリシリコンゲート電極16、酸化膜19及びアルミニウム電極17を設け、PchMOS、NchMOSを形成し、CMOS

構造の低圧部24を構成している。

【0010】そして、半導体チップ4、5は層間絶縁膜18上に設けたアルミニウムパッド21をカバー用絶縁膜20の窓を通してパンプ8により相互に接続している。これにより、素子形成を行わないP<sup>-</sup>サブストレート9による導電層が低圧部24を包囲することになり、この導電層で低圧部24と樹脂1との間を電氣的に遮蔽している。

【0011】したがって、ボンディングワイヤ6及びリード3に高圧電位が印加された場合に、素子形成領域と接する樹脂1面にプラスあるいはマイナスの電荷が蓄積されても、半導体チップ4、5の各低圧部24は導電層によって電氣的にシールドされ、フィールド酸化膜15下の反転が発生せず、リークは発生せず、信頼性が向上されることになる。

【0012】因に、本発明者の実験によれば、従来では4時間程度の電圧印加で $10^3 \sim 10^7$ 倍にも増加していたリーク電流が、本発明によれば全く増加することがなく、リーク不良、動作異常等の発生が防止され、信頼性が向上されたことが確認されている。

【0013】

【発明の効果】以上説明したように本発明は、一の半導体チップと、この上に搭載した別の半導体チップの各導電層によって低圧部を包囲しているので、低圧部と樹脂とを導電層によって遮蔽でき、ボンディングワイヤ及\*

\*びリードに高圧電位が印加されて樹脂面に電荷が蓄積された場合でも、低圧部における反転が発生せず、リークを防止して半導体装置の信頼性を向上させるという効果を有する。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例の全体構成を示す断面図である。

【図2】図1の要部の内部構成を示す拡大断面図である。

10 【図3】図1の平面図である。

【図4】従来の半導体装置の全体構成を示す断面図である。

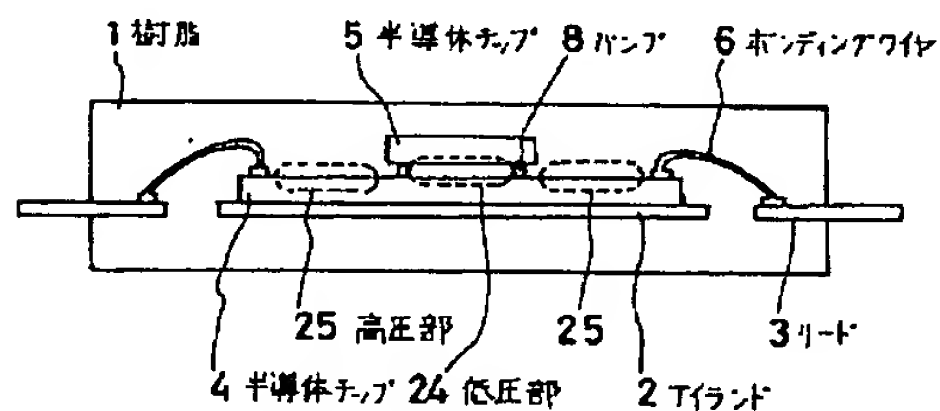
【図5】図4の一部の内部構成を示す拡大断面図である。

【図6】図4の平面図である。

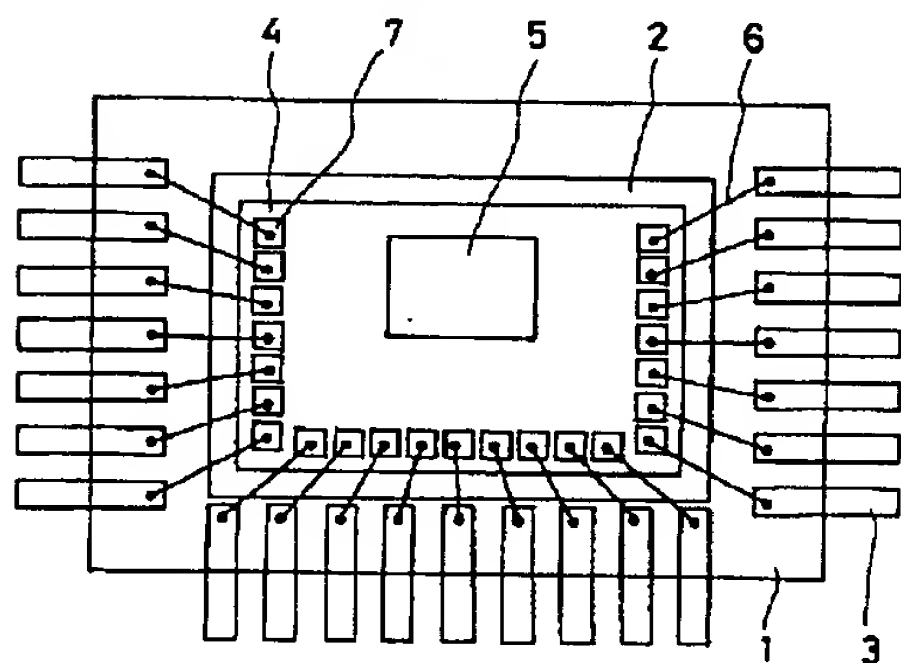
【符号の説明】

- 1 樹脂
- 2 アイランド
- 3 リード
- 4 一の半導体チップ
- 5 別の半導体装置
- 6 ボンディングワイヤ
- 9 サブストレート
- 24 低圧部
- 25 高圧部

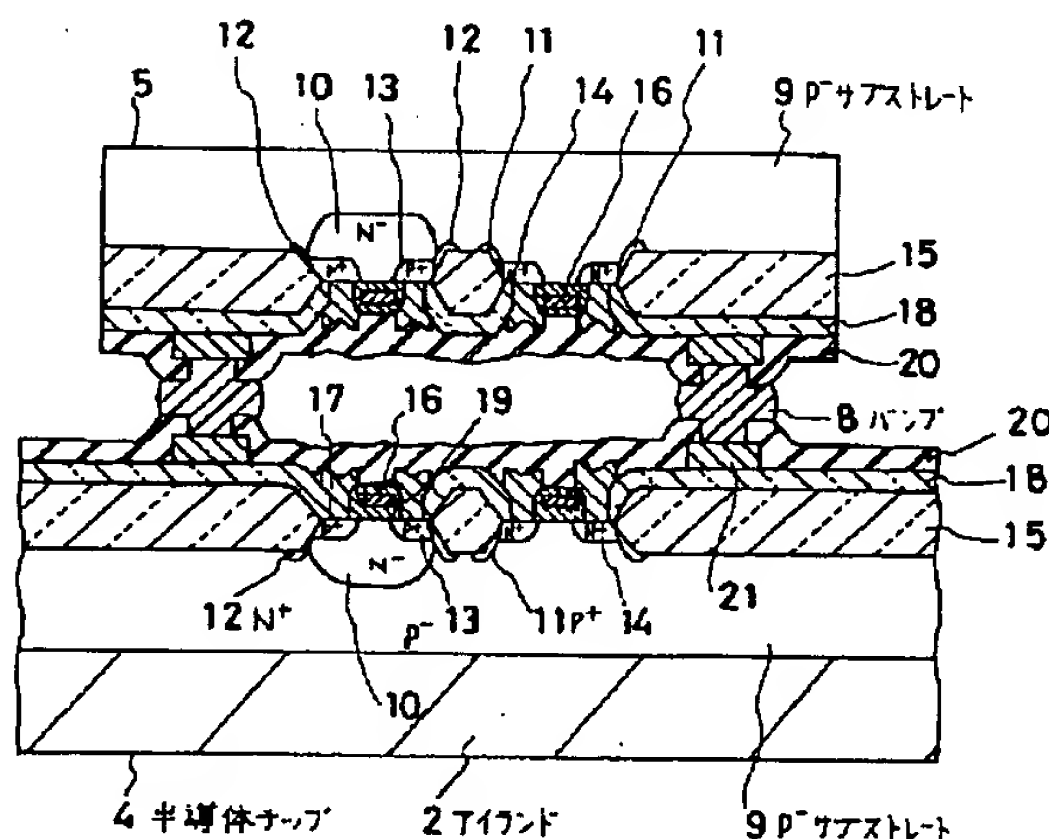
【図1】



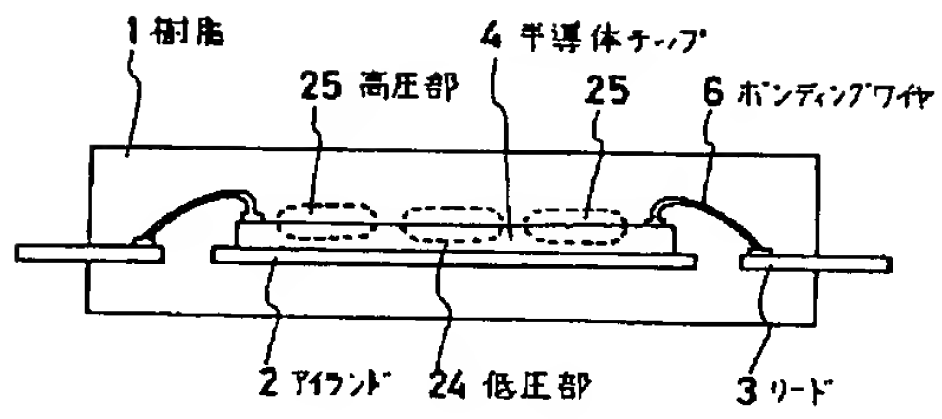
【図3】



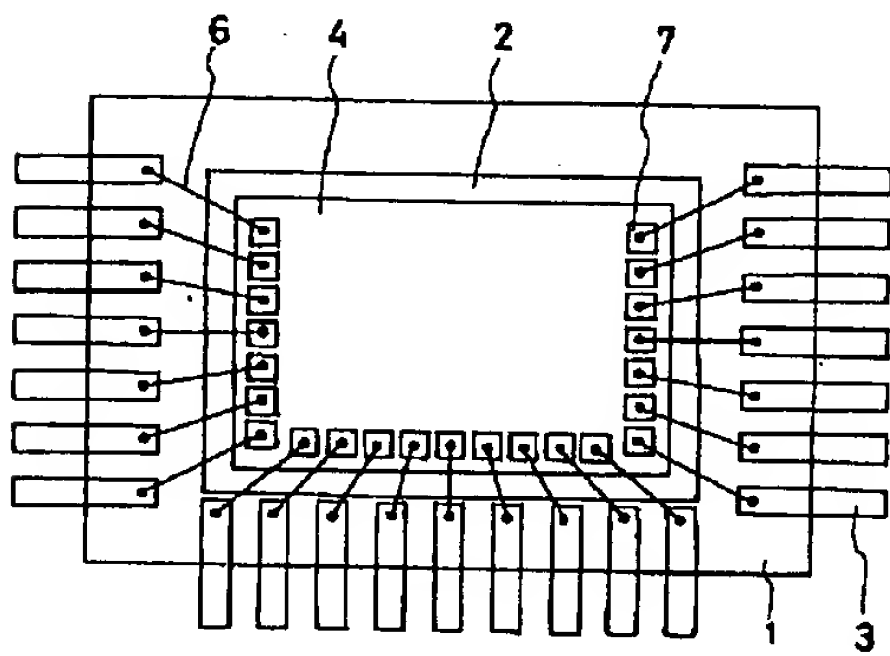
【図2】



【図4】



【図6】



【図5】

